

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-085926

(43)Date of publication of application : 18.03.1992

(51)Int.Cl.

H01L 21/265
H01L 21/28
H01L 21/28
H01L 21/336
H01L 29/62
H01L 29/784

(21)Application number : 02-202084

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 30.07.1990

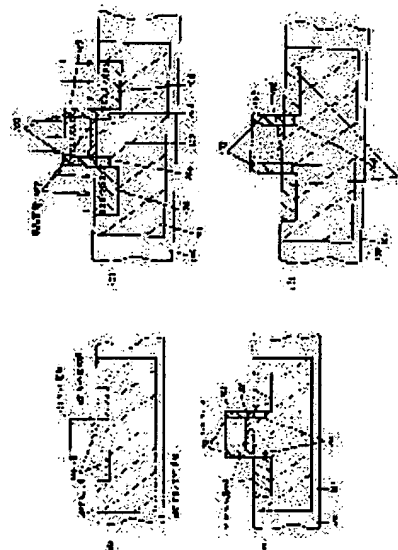
(72)Inventor : MIYAJIMA AKIO
MORITA KIYOYUKI

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make a depth of a diffusion layer of a source.drain part shallow and further stabilize contact resistance of a gate electrode window by a method wherein an impurity layer is formed on a substrate, an amorphous layer is formed by ion-implanting into a part of the impurity layer, and heatprocessing is performed to collect the impurities to the amorphous layer.

CONSTITUTION: After a P well layer 101 and a thin gate oxidized film 102 are formed in a P-type silicon substrate 100, a polycrystalline silicon is deposited, a gate electrode 103 and an N-layer 104 are formed to deposit an SiO₂ film, and thereafter a side wall 105 is formed by anisotropic etching. Next, with a gate electrode with a side wall as a mask, arsenic is implanted to form a source.drain region 106 of an NMOS. Next, silicon is ion-implanted into the source.drain layer and the gate electrode to form an amorphous layer 107, and a heat processing is performed to pile up phosphorus or arsenic on the amorphous layer 107 in the source.drain layer. Group IV elements or fluorides of group IV elements are employed as an ion species other than silicon.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平4-85926

⑤ Int. Cl.⁹

識別記号

庁内整理番号

④ 公開 平成4年(1992)3月18日

H 01 L 21/265
21/283 0 1 B 7738-4M
A 7738-4M21/336
29/62
29/784

G 7738-4M

7738-4M H 01 L 21/265
7738-4M
8422-4M 29/78 3 0 1Z
A
P

審査請求 未請求 請求項の数 11 (全8頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-202084

⑯ 出 願 平2(1990)7月30日

⑰ 発 明 者 宮 島 明 夫 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑱ 発 明 者 森 田 清 之 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板に不純物層を形成する工程と、前記不純物層の一部にイオン注入により非晶質層を形成する工程と、前記半導体基板に熱処理を加え前記非晶質層に不純物を集結させる工程とを有することを特徴とする半導体装置の製造方法

(2) 第4族元素をイオン注入することにより半導体基板を非晶質化することを特徴とする請求項1記載の半導体装置の製造方法

(3) フッ素をイオン注入することにより半導体基板を非晶質化することを特徴とする請求項1記載の半導体装置の製造方法

(4) フッ化物をイオン注入することにより半導体基板を非晶質化することを特徴とする請求項1記載の半導体装置の製造方法

(5) 不活性ガスをイオン注入することにより半導体基板を非晶質化することを特徴とする請求

項1記載の半導体装置の製造方法

(6) シリコン基板上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上に多結晶シリコンを形成する工程と、前記多結晶シリコンに不純物を拡散する工程と、前記多結晶シリコンをパターンニングすることによりゲート電極を形成する工程と、前記ゲート電極をマスクとしてイオン注入によりソースドレイン層を形成する工程と、前記半導体基板上不純物層及びゲート電極の一部にイオン注入により非晶質層を形成する工程と、前記半導体基板及びゲート電極に熱処理を加え前記非晶質層に不純物を集結させる工程とを有することを特徴とする半導体装置の製造方法

(7) 第4族元素をイオン注入することにより半導体基板を非晶質化することを特徴とする請求項6記載の半導体装置の製造方法

(8) フッ素をイオン注入することにより半導体基板を非晶質化することを特徴とする請求項6記載の半導体装置の製造方法

(9) 不活性ガスをイオン注入することにより

半導体基板を非晶質化することを特徴とする請求項6記載の半導体装置の製造方法。

(10) ソースドレイン層とゲート電極不純物の導電型が同一で、非晶質層形成イオン注入のイオン種が前記導電型と同一であることを特徴とする請求項6記載の半導体装置の製造方法。

(11) ソースドレイン層とゲート電極不純物の導電型が同一で、非晶質層形成イオン注入のイオン種が前記導電型と同一のフッ化物であることを特徴とする請求項6記載の半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体装置の製造方法に関し、特にMOS集積回路の装置の製造に用いれば好適なものである。

従来の技術

近年、MOSLSIの発展にはめざましいものがあり、特に低消費電力という長所を十分に生かせるという意味合いで、その高集積化は他の半導

体装置の追従を許さない。高集積化が進む中で、最近のLSI開発にとって大きな問題の1つにトランジスタのショートチャネル効果やパンチスルー現象がある。ショートチャネル効果は素子の微細化、特にゲート長の縮小にともないゲート下のチャネル部領域の電荷がゲート電圧のみではなくソース及びドレイン領域の空乏層電荷や電界及び電位分布の影響を強く受け素子の特性を劣悪させる現象である。このショートチャネル効果はゲート長とゲート酸化膜厚、ソースドレイン拡散層の接合深さに大きく依存する。一方パンチスルー現象はゲート長の縮小にともないソースドレイン拡散層距離が縮小し、ソースの空乏層とドレインの空乏層が接続してしまい、ドレイン電流をゲート電圧では制御できなくなる現象である。

従って、素子の微細化が要求されている現在、ショートチャネル効果やパンチスルー現象を防ぐ半導体装置の製造方法が望まれている。

また、素子の微細化に伴い各種コンタクト径も縮小されている。ゲート多結晶シリコンのコンタ

クトも例外ではない。半導体製造プロセス途中で多結晶シリコン表面に所望せぬ不純物が混入したり酸化物が形成されると、素子の微細化に伴いコンタクト特性の顕著な劣化が予想される。従ってゲート多結晶シリコンのコンタクト特性を安定して信頼性のある良好な特性を持つプロセスも要望されている。

以下に従来のNMOSトランジスタの製造方法の一例を記す。第4図は従来NMOSトランジスタの一例の構造概略断面図である。従来の製造技術は、P型シリコン基板400にNMOSが形成されるPウェル層401($1E15\text{ cm}^{-3}$ 程度)を設け、次に薄いゲート酸化膜(10nm~25nm)402を形成した後、CVD法により多結晶シリコンを約300nm程度堆積し、次にPOCl₃拡散により、前記多結晶シリコンに磷を拡散する(約 $1E20\text{ cm}^{-3}$ ~ $1E21\text{ cm}^{-3}$)。そして、フォトリソグラフィ技法及びエッチングによりゲート電極加工を行う。次にゲート電極403をマスクとして磷をイオン注入(加速電圧40

KeV、注入量 $1\sim3E13\text{ cm}^{-2}$)し表面濃度が $\sim1E18\text{ cm}^{-3}$ 程度になるようにn⁺層404、すなわちLDD(Lightly Doped Drain)層を形成する(同図(a))。次に基板全面にCVDSiO₂膜を150nm~250nm堆積した後、異方性エッチングつまり垂直方向のみに前記CVDSiO₂の堆積膜厚分をエッチングし、ゲート電極403の側面部に150nm~250nm幅のサイドウォール405を形成する。次に、ヒ素(80KeV、 $8E15\text{ cm}^{-2}$)を注入しNMOSのソースドレイン406領域を形成する。その後ソース・ドレイン領域に注入した不純物を電気的に活性化するために、900℃程度の高温で約30~40分程度の熱処理を行う(同図(b))。つぎにリンガラス膜408を700nm程度堆積して層間絶縁膜とする。次に、この層間絶縁膜408を平坦化するために900℃程度で約30~40分程度リフローする。そして、フォトリソグラフィ技法及びエッチングにより所望の箇所にソースドレイン電極窓409、ゲート

電極窓 410 を形成する。そして AL-Si-Cu 411 を 800 nm 程度堆積 加工して電極とする。

発明が解決しようとする課題

従来の MOS トランジスタの製造方法であると、イオン注入によりソース・ドレイン領域を形成しているため、及びその電気的活性化のための熱処理、またその後の平坦下のためのリンガラス膜堆積後のリフロー時の熱処理等のため、ソースドレイン拡散層は深くなる傾向にある。(1 μm 近辺のデバイスでは拡散層は約 0.2 ~ 0.3 μm 程度である。) 拡散層が深くなれば、トランジスタのショートチャネル効果やパンチスルー効果が助長され、また今後の微細化・高集積化に伴ってその効果は顕著に現れてくる。その課題を解決するためにイオン注入の加速エネルギーを減少させて拡散層を形成するという手段が考えられるが、NMOS, PMOS 両方の拡散層とも $1 \times 10^{15} \text{ cm}^{-2}$ 程度の高ドーズ量が必要であり低加速エネルギーで実現するのは非常に困難である。逆にドーズ量を減少し

て拡散層を浅くするという手段も考えられるが、それでは拡散層の層抵抗が増加し、素子特性の劣化を引き起こす。

また、高濃度に不純物拡散されたゲート多結晶シリコンの電極窓も、素子の微細化が要望され縮小化がなされてきている。それに伴って、製造プロセス途中で、多結晶シリコン表面が酸化されたり、所望せぬ不純物汚染があると、ゲート多結晶シリコン表面の不純物濃度が低くなり、ゲート電極コンタクトの特性が劣悪になる可能性が大きくなってきている。

本発明は、上述の問題点に鑑みて為されたもので、ソース・ドレイン部の拡散層の深さを浅くする効果を有することができ、またゲート多結晶シリコン表面の不純物濃度を増加させ、ゲート電極窓のコンタクト抵抗を安定して提供することができる半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

本発明は上述の問題点を解決するため、半導体

基板に不純物層を形成する工程と、前記不純物層の一部にイオン注入により非晶質層を形成する工程と、前記半導体基板に熱処理を加え前記非晶質層に不純物を集結させる工程とを有することを特徴とする半導体装置の製造方法である。

また第 4 族元素、フッ素、フッ化物、不活性ガスをイオン注入することにより半導体基板を非晶質化することを特徴とする。

さらに詳述すると本発明は、シリコン基板上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上に多結晶シリコンを形成する工程と、前記多結晶シリコンに不純物を拡散する工程と、前記多結晶シリコンをパターンニングすることによりゲート電極を形成する工程と、前記ゲート電極をマスクとしてイオン注入によりソースドレイン層を形成する工程と、前記半導体基板上不純物層及びゲート電極の一部にイオン注入により非晶質層を形成する工程と、前記半導体基板及びゲート電極に熱処理を加え前記非晶質層に不純物を集結させる工程とを有することを特徴とする半導体装置の

製造方法である。

作用

本発明は上述の構成によって、所望の位置に不純物拡散層を集結させることができ、従って容易に、ソースドレイン拡散層の深さを浅くすることができ、ショートチャネル効果及びパンチスルー現象を抑制でき、さらにゲート多結晶シリコンの電極窓コンタクト特性も安定して提供でき、特性が良好で信頼性の高い微細な半導体装置を得ることが可能となる。

実施例

以下、図面を参照して本発明の半導体装置の製造方法について詳細に説明する。簡単のため、本発明を NMOS に採用した例を記載する。

第 1 図 (a) では、P 型シリコン基板 100 に NMOS が形成される P ウェル層 101 ($1 \times 10^{15} \text{ cm}^{-2}$ 程度) を設ける。薄いゲート酸化膜 102 (10 nm ~ 25 nm) を形成した後、CVD 法により多結晶シリコンを ~ 300 nm 堆積する。その後 POC1₃ 拡散により多結晶シリコンに磷を

約 $1E21\text{ cm}^{-3}$ 程度ドーブして低抵抗化を行う。次に前記多結晶シリコン膜をフォトリソグラフィ技法及びエッチングによりゲート電極加工を行う。次に、このゲート電極103をマスクにして、磷をイオン注入(加速電圧40 KeV、注入量 $1\sim 3E13\text{ cm}^{-2}$)し、表面濃度が $\sim 1E18\text{ cm}^{-3}$ 程度になるように n^+ 層104を形成しLDD層とする。

次に第1図(b)では、基板全面に絶縁膜例えば CVDSiO_2 膜を150~250 nm堆積した後、異方性のエッチングつまり垂直方向のみに前記 CVDSiO_2 の堆積膜厚分をエッチングし、ゲート電極103の側壁に150~250 nm幅のサイドウォール105を形成する。次に前記サイドウォール付きゲート電極をマスクとしてヒ素(80 KeV 、 $8E15\text{ cm}^{-2}$)を注入しNMOSのソースドレイン106領域を形成する。

次に第1図(c)では、この工程が本発明の特徴の1つであるが、ソースドレイン層及びゲート電極にシリコンを例えば40 keV、 $2E15\text{ cm}^{-2}$

cm^{-2} でイオン注入する。ソースドレイン層及びゲート多結晶シリコン中ではその飛程距離より、半導体基板表面、ゲート多結晶シリコン表面より約50 nm程度のところに非晶質層107が形成される。

次に900℃、30分程度の熱処理を加える。そうすると、第1図(d)に示すようにソースドレイン層では非晶質層107に磷やヒ素がパイルアップして、ソースドレイン層表面から約50 nm程度のところの濃度が高くなり、(この高くなった原因は半導体基板中の不純物(この場合は磷、ヒ素)が集まったから)ソースドレイン拡散層を浅くすることができるのである。また、ゲート多結晶シリコン103中でも同様の現象が起きる。例えばこの熱処理前にゲート多結晶シリコン中に不純物や、多結晶シリコン表面に酸化膜などができて、表面の不純物濃度(この場合は磷濃度)が低くなったとしても(コンタクト抵抗の異常増加が予想される)、本発明を用いることによりゲート多結晶シリコン表面から約50 nm程度の位置

の不純物濃度(この場合は磷濃度)を高めることができ、ゲート多結晶シリコン電極のコンタクト特性を安定して良好に提供することができる。イオン種としてシリコンを用いたが、その他の第4族元素、もしくは第4族のフッ化物を用いても良い。また、フッ素などの原子量が小さい物質でもその導電型の影響がデバイスに悪影響を及ぼさないで、非晶質形成用イオン注入材料に使用しても良い。また不活性ガスを非晶質形成用イオン注入材料に使用しても良い。またソースドレイン層とゲート多結晶シリコンの導電型が同じであればその導電型と同じイオン種や同導電型のフッ化物を用いても良いことは言うまでもない。

その後、第1図(e)では、リンガラス膜108を700 nm程度堆積して層間絶縁膜とし、次にこの層間絶縁膜を平坦化するために900℃程度で約30~40分程度リフローする。そして、フォトリソグラフィ技法及びエッチングにより所望の箇所にソースドレイン電極窓109、ゲート電極窓110を形成する。そして AL-Si-Cu

膜111を800 nm程度堆積、加工して電極とする。

非晶質層に不純物が集まるという現象のデータを補足しておく。磷拡散したゲート多結晶シリコン中に逆導電型のフッ化物である BF_3 を注入し、熱処理を行った実験結果を示す。この実験は、N型ゲート多結晶シリコン中にBなどの逆導電型(P型)の不純物がまいこんで来た場合を想定して(単にB汚染のみでは異常なコンタクト抵抗増加が予想される)、そこに本発明の特徴であるイオン注入により非晶質層をつくり熱処理を行うとゲート多結晶シリコンのコンタクト抵抗はどうなるかという実験と等価である。実験の内容を詳しく述べると、 $3E20\text{ cm}^{-3}$ 程度に高濃度に磷拡散した多結晶シリコン300 nmに BF_3 を注入しない試料と、40 keV、 $3E15\text{ cm}^{-2}$ で注入した試料を作成し、その後、900℃でN₂雰囲気中で40分熱処理を加えた。そして、層間膜、コンタクト、アルミ電極を形成した。第2図に2つの試料のケルビン法による $2.0\text{ }\mu\text{m}^2$ の多結晶シリ

コンとアルミ電極のコンタクト抵抗の結果を示す。 BF_3 を 4.0 keV 、 $3 \times 10^{15} \text{ cm}^{-2}$ の条件で注入したものと、全く注入しない試料のコンタクト抵抗の差は約3倍程度の増加にとどまった。前記条件で BF_3 を注入するとBの多結晶シリコン表面の濃度は、ほぼP(磷)の濃度と同程度の約 $3 \times 10^{20} \text{ cm}^{-3}$ と予想され、相殺効果により抵抗の異常増加が予想される場所である。しかし、実際は約3倍程度の増加にとどまった。

第3図に磷ドーパ多結晶シリコンに BF_3 を 4.0 keV 、 $3 \times 10^{15} \text{ cm}^{-2}$ で注入した試料のP(磷)、B、FのSIMS分析結果を示す。同図から明らかな様に BF_3 の注入により表面のP(磷)がバイルアップ300していることがわかる。これは多結晶シリコン表面から約100nm程度のところが BF_3 注入により非晶質化し、その後の熱処理によってP(磷)がバイルアップしたのである。そのため、BよりP(磷)が多結晶シリコン表面の濃度が高くなり、予想したよりコンタクト抵抗の増加がみられなかった。

で、またゲート多結晶シリコンのコンタクト特性も安定して良好に提供することができる。

なお、本実施例ではNMOSを例にして説明したが、PMOSTランジスタのソースドレイン、ゲート多結晶シリコンにも採用して良いことは言うまでもない。また本実施例はウェル構造を持つMOSTランジスタの製造方法を記したが、基板導伝型をうまく使えば、すなわちNMOSにはP型基板を、PMOSにはN型基板を用いればウェル構造は特に必要ではない。又、ウェル構造の使用有無により基板導伝型はN、Pどちらでも良い。

また本実施例ではソースドレイン層とゲート多結晶シリコンの導伝型が同じ例を示したが、違っても構わない。しかし、その場合は非晶質層形成イオン注入はシリコンなどの第4族元素か、第4族元素のフッ化物、または不活性ガスであることが望ましい。もしくは、ソースドレイン層非晶質層形成イオン注入と、ゲート多結晶非晶質層形成イオン注入とは分けて行ってもよい。

また、本発明をCMOS構造で行ってもよい。

上記に説明したように、熱処理により非晶質化部分に不純物が集まるといった現象を本発明は利用し、安定なゲート多結晶シリコンコンタクト特性を得ることができる。またソースドレイン層を浅くする効果を有しており、パンチスルー現象やショートチャネル効果を生じない安定して良好な半導体装置を提供することができ理想的な半導体装置の製造方法を提供することができる。さらに本発明の非晶質層形成イオン注入後に行う熱処理とは、ソースドレイン層活性化に従来の熱処理であり、結局工程的には非晶質化層形成イオン注入のみの工程が増えるだけで、特にスループットには大差はない。

以上のように従来は熱処理を加えることにより、ソースドレイン拡散層が深くなっていたが、本発明を用いると熱処理を加えても拡散層は深くならず、また非晶質化を行うイオン注入の条件を変えるだけで所望の位置の不純物層の濃度を増やすことができる。すなわち工程が簡単でしかも所望の位置、特に浅い位置にも拡散層を形成することが

その際、非晶質層形成イオン注入材料はシリコンなどの第4族元素、フッ素、第4族元素のフッ化物、または不活性ガスなどが望ましい。もしくは、NMOSのソースドレイン、N型ゲート多結晶シリコンを非晶質化するときにはN型のイオン種またはそのフッ化物で注入し、PMOSのソースドレイン、P型ゲート多結晶シリコンを非晶質化するときにはP型のイオン種またはそのフッ化物を注入すれば良い。

また、本発明の実施例はLDD構造を有する半導体装置であったが、特にDDD(Double Diffused Drain)構造を持つ半導体装置、単一ドレイン型半導体装置でも良いことは言うまでもない。

発明の効果

以上の説明から明らかなように、本発明によれば、ソース・ドレイン拡散層の深さを浅くでき、ショートチャネル効果及びパンチスルー効果を抑制でき、さらにゲート多結晶シリコン表面のコンタクト特性を安定して良好な信頼性の高い微細な

半導体装置を得ることが可能となる。

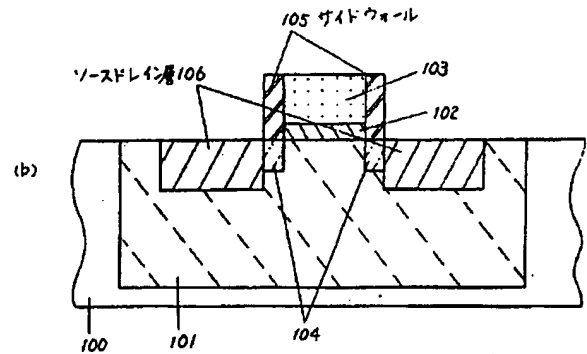
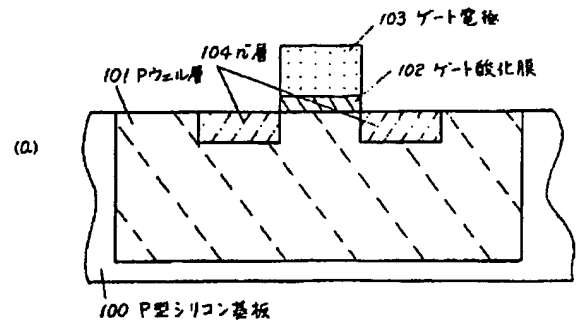
4、図面の簡単な説明

第1図は本発明の一実施例に於けるNMOSTランジスタのプロセスフロー断面図 第2図は溝ドープ多結晶シリコンにBF₃を注入したときと注入しない時のケルビン法によるコンタクト抵抗特性図 第3図は溝ドープ多結晶シリコンにBF₃を注入したときのP(溝)、B、FのSIMS分析特性図 第4図は従来の製造方法を用いて作成したNMOSTランジスタの構造断面図である。

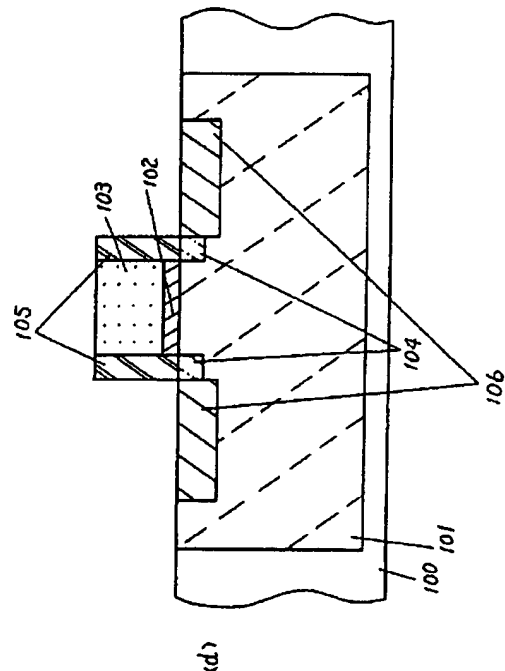
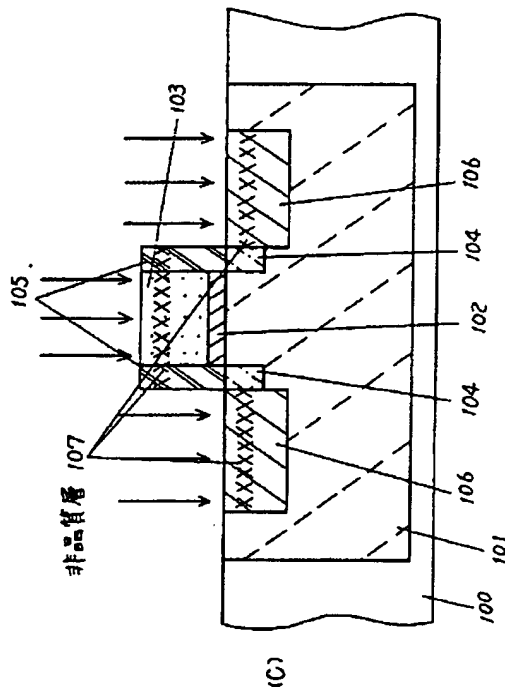
100,400…シリコン基板 101,401…Pウェル層 102,402…ゲート酸化膜 103,403…ゲート電極 104,404…n⁻層 105,405…サイドウォール(CVD SiO₂膜)、106,406…ソースドレイン層 107…非晶質層 108,408…リンガラス膜 109,409ソースドレイン電極窓 110,410…ゲート電極窓 111,411…AL-Si-Cu膜 300…溝のパイルアップ。

代理人の氏名 弁理士 栗野重孝 ほか1名

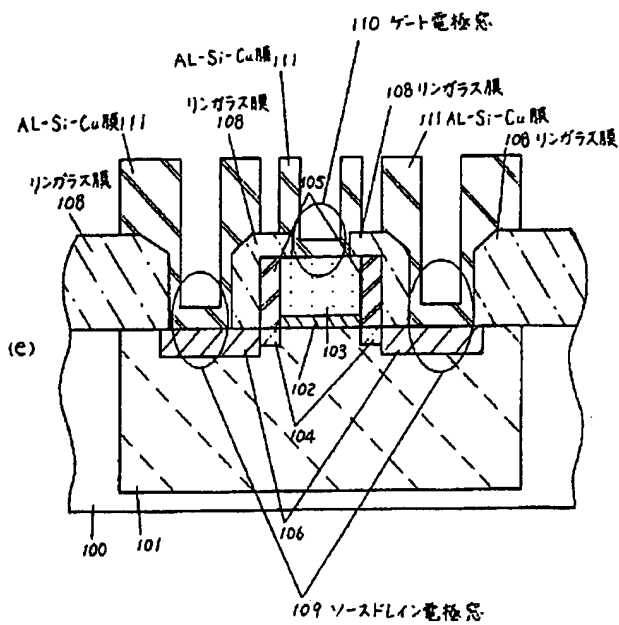
第1図



第1図

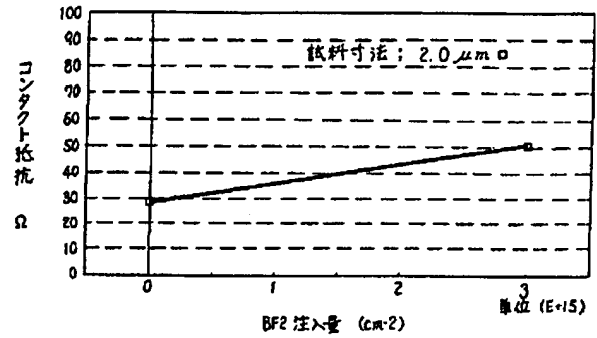


第 1 図

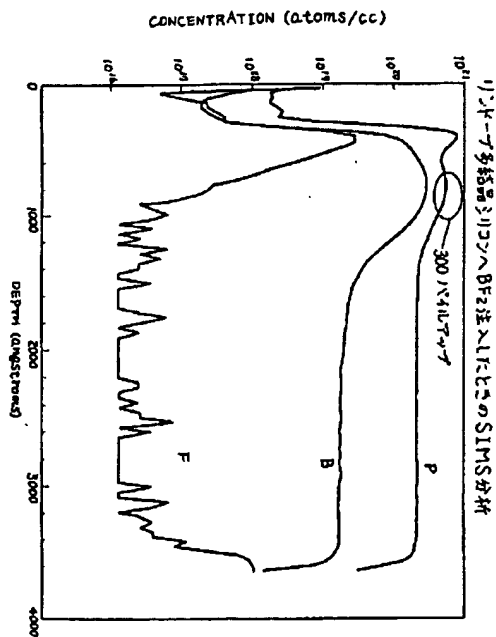


第 2 図

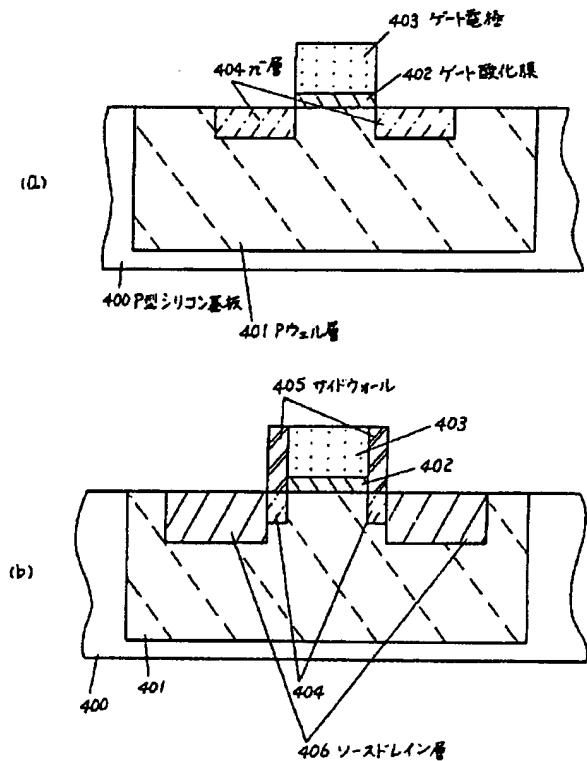
リンドーブ多結晶シリコンのBF₂注入によるコンタクト抵抗



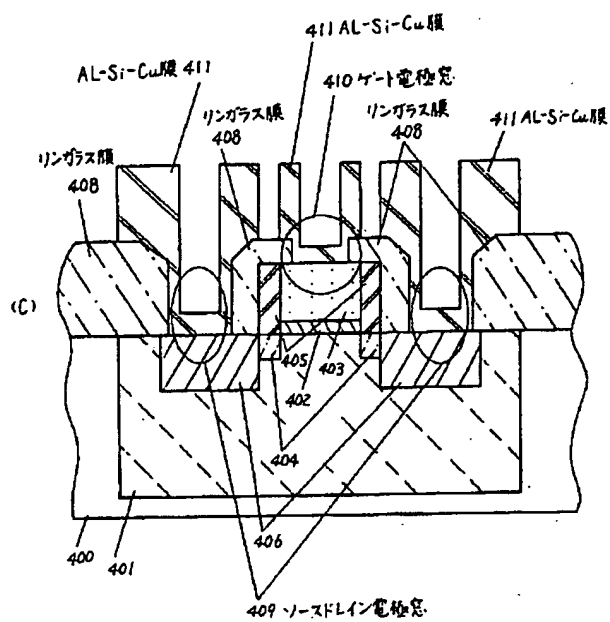
第 3 図



第 4 図



第 4 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.